

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 61294932
 PUBLICATION DATE : 25-12-86

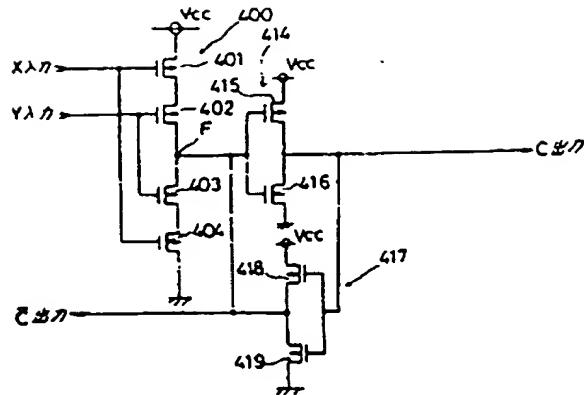
APPLICATION DATE : 21-06-85
 APPLICATION NUMBER : 60136604

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : MIURA HIROKI;

INT.CL. : H03K 19/21 // G06F 5/06 G06F 7/04

TITLE : SEMICONDUCTOR DEVICE AND DATA
 TRANSMISSION LINE



ABSTRACT : PURPOSE: To improve the noise immunity performance and to eliminate a transient current by using the 2nd CMOS inverter comprising a transistor (TR) having a smaller drive capability than that of the 1st CMOS inverter to invert a coincident output, and feeding back the output to an intermediate output of a series connection.

CONSTITUTION: The latch structure is constituted by the 1st and 2nd CMOS inverters 414, 417 and an output C of the 1st CMOS inverter 414 is fed back to a node F while being inverted by the 2nd CMOS inverter 417, a complete logical '1' or '0' is outputted as the output C. That is, when two inputs X, Y of the CMOS FET differ, the node F goes to the floating state, and when the output C is close comparatively to logical '1' (or '0'), the output of the 2nd CMOS inverter 417 approaches comparatively logical '0' (or '1') and the output C rises (or descends) completely up to logical '1' (or '0'), then strong noise immunity is attained and the output level is not deteriorated.

COPYRIGHT: (C) JPO

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭61-294932

⑬ Int. Cl.
H 03 K 19/21
// G 06 F 5/06
7/04

識別記号 ⑭ 廃内整理番号
6628-5J
7230-5B
7313-5B 審査請求 未請求 発明の数 2 (全8頁)

⑮ 発明の名称 半導体装置およびデータ伝送路

⑯ 特願 昭60-136604

⑰ 出願 昭60(1985)6月21日

⑱ 発明者 寺田 浩 詔 吹田市山田西3丁目52番地 千里一条池B-803
⑲ 発明者 浅田 勝 彦 尼崎市東難波町4丁目11番4号
⑳ 発明者 西川 博 昭 吹田市江坂町1-12番55-1002号
㉑ 発明者 小守 伸 史 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内
㉒ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
㉓ 出願人 シャープ株式会社 大阪市阿倍野区長池町22番22号
㉔ 出願人 松下電器産業株式会社 門真市大字門真1006番地
㉕ 出願人 三洋電機株式会社 守口市京阪本通2丁目18番地
㉖ 代理人 弁理士 早瀬 憲一

最終頁に続く

明細書

1. 発明の名称

半導体装置及びデータ伝送路

2. 特許請求の範囲

(1) 多入力が入力され該多入力が一致したとき
その入力レベルを出力する半導体装置において、
第1電源と第2電源との間に直列接続されその各々
に上記多入力の各々が入力されるそれぞれ上記
多入力数分の第1、第2導電型のMOSトランジ
スタの直列接続体と、該第1導電型の最下段のM
OSトランジスタと第2導電型の最上段のMOS
トランジスタとの接続点である中間出力を反転し
一致出力を出力する第1のCMOSインバータと、
上記一致出力を反転し上記中間出力を帰還する第
2のCMOSインバータとを備えたことを特徴と
する半導体装置。

(2) 上記第2のCMOSインバータは、上記直
列接続体より駆動能力の小さいトランジスタで構
成されていることを特徴とする特許請求の範囲第
1項記載の半導体装置。

(3) 複数のデータ記憶手段及び隣接段の転送制
御回路からの制御信号に応じて各自のデータ記憶
手段を制御する各段の転送制御回路からなるシフ
トレジスタからなるデータ伝送路において、上記
転送制御回路として、第1電源と第2電源との間に
直列接続されその各々に上記多入力の各々が入
力されるそれぞれ上記多入力数分の第1、第2導
電型のMOSトランジスタの直列接続体と、該第
1導電型の最下段のMOSトランジスタと第2導
電型の最上段のMOSトランジスタとの接続点で
ある中間出力を反転し一致出力を出力する第1の
CMOSインバータと、上記一致出力を反転し上
記中間出力を帰還する第2のCMOSインバータ
とからなる一致素子を用いたことを特徴とするデ
ータ伝送路。

(4) 上記第2のCMOSインバータは、上記直
列接続体より駆動能力の小さいトランジスタで構
成されていることを特徴とする特許請求の範囲第
3項記載のデータ伝送路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、多入力が入力されば多入力が一致した時のみ該入力論理レベルを出力する、一致素子と呼ばれる半導体装置及び該装置をその転送制御パルスの伝送に用いる非同期自走式のデータ伝送路に関するものである。

(従来の技術)

一般に一致素子 (Coincidence Element: 以下 C 素子と称す) とは 2 入力 X, Y に対し C, \bar{C} を出力する論理回路であり、下記に示す論理値表に従って動作する。即ちその一致出力 C は 2 入力 X, Y が一致したときその入力レベルと同レベルとなり、また 2 入力 X, Y が相異なるときは前の状態を保持するものである。

論理値表

入力		出力	
X	Y	C	\bar{C}
0	0	0	1
0	1	HOLD	HOLD
1	0	HOLD	HOLD
1	1	1	0

この C 素子に対応する並列データバッファのゲートが開き、前段のデータを伝送し、有効なデータを保持しているものとする。また逆に、C 素子の C 出力が 0 のとき、この C 素子に対応する並列データバッファのゲートは開かず、前段のデータを伝送せず、有効なデータを保持していないものとする。即ち、C 出力が 1 である C 素子に対応している並列データバッファのみ有効なデータを保持しており、C 出力が 0 の C 素子に対応する並列データバッファはたとえデータを保持していてもそれは無意味なデータである。第 7 図の回路では、C 素子の C 出力は次段の C 素子の X 入力となり、 \bar{C} 出力は前段の C 素子の Y 入力となるように接続されている。

今、初期状態において、全 C 素子 301 ～ 305 の C 出力を 0 とし、 \bar{C} 出力を 1 とする。このとき、左側の入力端から C 素子 301 の X 入力に 1 を入力すると同時に並列データバッファ 311 の入力端にデータを与えると、最初の C 素子 301 は 2 入力とも 1 となるので、C 出力が 1 に反転し、

上記のような C 素子は例えば非同期自走式シフトレジスタの転送制御パルスの伝送に使用される。ここで、非同期自走式のシフトレジスタとは、データのバッシュインとポップアウトとを独立かつ同時に行なうことができ、さらにバッシュインされたデータが次段のレジスタが空いていることを条件としてシフトクロックを用いずに自動的に出力方向へシフトされていくようなシフトレジスタをいう。このような非同期自走式シフトレジスタは、データのバッファ機能を有し、非同期システム間の接続に用いることができるものである。

以下に、第 7 図を用いて非同期自走式シフトレジスタからなるデータ伝送路の構成及び動作について説明する。

非同期自走式シフトレジスタの各段は、並列データバッファと、制御信号によりこの並列データバッファの開閉を制御する転送制御回路とから構成されており、該転送制御回路として上記のような C 素子が使用されている。

ここで C 素子の C 出力 (制御信号) が 1 のとき、

並列データバッファ 311 の入力端に与えられたデータを伝送する。同様に、2 段目以降の C 素子も前段の C 素子の出力 1 を受けて C 出力を 1 に反転させ、C 出力を 0 に反転させると同時に、対応する段の並列データバッファのゲートを開いて前段の保持しているデータを伝送する。次に、左側の入力端から C 素子 301 の X 入力に 0 を入力すると、各 C 素子 301 ～ 305 の Y 入力は 0 になっているので、左端から順に C 素子の C 出力が 0 になり、 \bar{C} 出力は 1 になる。

上述のごとく、シフトレジスタ左端の C 素子 301 の X 入力にパルス信号を与え、このパルス信号が 1 の間、左端の並列データバッファ 311 にデータを入力すると、シフトレジスタにデータがバッシュインされる。C 素子 301 の X 入力に入力された信号レベル 1 は、入力されたデータはともに第 7 図中の左から右に伝送していく。また、C 素子 301 の X 入力に入力された信号レベルを 1 から 0 に変化させると、信号レベル 0 が左から右に伝送していく。しかし、右端の C 素子 305

特開昭61-294932 (3)

のY入力が0のとき、このC素子305のC出力の初期値が0であれば、前段のC出力が1になったことによってX入力が1に変化しても、C出力は0のままである。このとき、前段のC素子304のY入力は1であるので、さらに前段のC素子303からC出力0が伝播されても、C素子304の出力は1のままであり変化しない。従って、C素子のC出力信号レベルの0が1を追い越したり、1を消滅させたりすることはない。このように、右端のC素子305のY入力を0に保持したまま、左端からプッシュイン動作を行なうことにより、右端のC素子305のC出力から左に向かって、0, 1, 0, 1, …となる。また、このとき右端のC素子305のY入力を1に変化させると、右端のC素子305の2入力が1となるために、右端のC素子305のC出力が1に変化し、右端から順番にC素子のC出力は、1, 0, 1, 0, 1, 0, 1, …となり、並列データバッファ315の出力端子には、左側からプッシュインされた第1番目のデータが出力される。このよ

うにして、右側のC素子305のY入力にパルス信号を与えることにより、左端の並列データバッファ311からプッシュインされたデータをポップアウトすることができる。

なお、上記説明では簡単のためにプッシュイン動作とポップアウト動作に分けて動作説明を行なったが、実際にはプッシュイン動作とポップアウト動作とを同時に行なうことができるので、この非同期自走式のシフトレジスタは非同期FIFOメモリと同様のデータバッファ機能を有し、プッシュインは右側のC素子305のY入力にパルス信号を与えることによって可能となる。

ここで上記のようなデータ伝送路の転送制御回路に主として用いられるC素子を低消費電力化するためには標準CMOSゲートを用いて構成した場合、回路規模が増大した伝搬遅延が大きくなるが、CMOS化を図るうえでのかかる問題点を解消したもののが本件出願人により既に開発されている。

第8図は本件出願人により既に開発されたC素子を示し、図において、301, 302はC素子

であり、該C素子において、400は電源（第1電源）Vccとアース（第2電源）間に接続された直列接続体であり、これは各2個のPチャネル（第1導電型）MOSトランジスタ401, 402及びNチャネル（第2導電型）MOSトランジスタ403, 404により構成されている。また414は上記MOSトランジスタ402, 403の接続点である中間出力Cを反転して一致出力Cを得るCMOSインバータであり、該CMOSバータ414において415はPチャネルMOSトランジスタ、416はNチャネルMOSトランジスタである。なお311, 312は並列データバッファである。

次に動作について説明する。

今X, Y入力が共に0のときはトランジスタ401, 402はオン、トランジスタ403, 404はオフされてノードFは1となり、C出力は1. で出力は0となる。またX, Y入力が共に1のときはトランジスタ403, 404はオン、トランジスタ401, 402はオフされてノードFは0

となり、C出力は0. C出力は1となる。またX, Y入力が0, 1のときはトランジスタ401, 403がオフされ402, 404がオンされてノードFはフローティング状態となり、X, Y入力が0, 1になる前の状態を保持することができる。またX, Yが1, 0のときはトランジスタ402, 404がオフ、トランジスタ401, 403がオンされて上記と同様にノードFがフローティング状態により、前の状態を保持することができる。

このようにCMOSの特性を活かしてトランジスタ6石でC素子として機能するよう回路を構成したので、C素子の論理をそのまま標準的なCMOSゲートで構成した場合に比し素子及びゲート段数が非常に小さく、伝搬遅延の小さいものを得ることができる。

〔発明が解決しようとする問題点〕

しかるに上記のようなC素子では2入力が相異なるときの中間出力が浮遊容量のみに依っているために、ノイズに強く、出力レベルが時間とともに劣化するという問題があった。またC素子の2

特開昭61-294932 (4)

入力が一致している時間が短い時には中間出力のレベル出力が完全に1または0に確定する前に中間出力がフローティング状態になるので、そのレベル出力が1, 0の中間的な値となってしまい、CMOSインバータに過渡電流が流れてしまうという問題もあった。

また上記のようなC素子を転送制御回路に用いたデータ伝送路では転送制御パルスがノイズにより変化するために複数段にわたって並列データバッファにデータが占有されている時には1段分のデータが消失してしまう等の不具合があった。また過渡電流のために消費電力が大きいという問題もあった。

この発明の第1の発明は、上記のような従来のものの欠点を除去するためになされたもので、耐ノイズが性能が高く、しかもCMOSインバータに過渡電流の流れない半導体装置を得ることを目的としている。

またこの発明の第2の発明は転送制御回路の耐ノイズ性能が高く、データを消失させることのな

いデータ伝送路を得ることを目的としている。

(問題点を解決するための手段)

本件出願の第1の発明に係る半導体装置は、第2のCMOSインバータを設け、該第2のCMOSインバータにより第1のCMOSインバータの一致出力を反転して直列接続体の中間出力に帰還するようにしたものである。

また、本件出願の第2の発明に係るデータ伝送路は以上のように構成された一致素子をその転送制御回路として用いるようにしたものである。

(作用)

この発明の第1の発明においては、第2のCMOSインバータが第1のCMOSインバータ出力を帰還し、2つのCMOSインバータがラッチとして機能するから、中間出力が完全に0あるいは1レベルとなり、CMOSインバータに過渡電流が流れない。

また、この発明の第2の発明においては、上記のように構成された一致素子が転送制御回路として使用されているから、データが消失することな

く転送され、またCMOSインバータに過渡電流が流れないために装置の消費電力が低減される。

(実施例)

以下、この発明の一実施例を図について説明する。第1図は本件出願の第1の発明の一実施例による半導体装置を示し、図において、第8図と同一符号は同一のものを示す。417はCMOSインバータ414出力(一致出力)を反転しノードF(中間出力)に帰還する第2のCMOSインバータである。なお本実施例では第2のCMOSインバータ417は直列接続体400よりも駆動能力の小さいトランジスタ418, 419により構成されている。

次に動作について説明する。本実施例の基本的な動作は従来のものと同様である。但し、本実施例では第1, 第2のCMOSインバータ414, 417によりラッチ構造が構成されており、第1のCMOSインバータ414のC出力を第2のCMOSインバータ417が反転してノードFへ帰還するので、C出力としては完全な0あるいは0

を出力することができる。即ち、C素子の2入力X, Yが相異なる時はノードFがフローティング状態となるが、本実施例ではC出力が例えば比較的1(または0)に近い値の時には第2のCMOSインバータ417出力は比較的0(または1)に近い値となり、以後上述のようなフィードバックによりC出力は完全に1(または0)レベルまで上昇(または下降)するので、ノイズに強く、また出力レベルの劣化のないものが得られる。

またC素子の2入力X, Yが一致した時にはノードFがフルスインギングするまでに該ノードFより出力が送出されるので、該ノードFが1, 0の中間的レベルとなりCMOSインバータ414に過渡電流が流れがるが、本実施例では第2のCMOSインバータ417によりノードFレベルが完全な0あるいは1となるので、CMOSインバータ417に過渡電流が流れることはなく、消費電力を一層低減できる。

なお第2段目のCMOSインバータ417は駆動能力の小さい、即ちゲート長が長いかあるいは

チャネル幅の小さいMOSトランジスタ418、419により構成されているが、これは直列接続体400の出力とCMOSインバータ417の出力とが衝突するために、これらの駆動能力が同等であると伝搬遅延が発生し、最悪の場合誤動作する可能性があるからである。

このように、本実施例では直列接続体より駆動能力の小さいトランジスタにより構成された第2のCMOSインバータを設け、該第2のCMOSインバータにより第1のCMOSインバータの一致出力を反転して直列接続体の中間出力に帰還するようにしたので、浮遊容量のみにより出力を保持する従来のものに比しはるかにノイズに強く、またC素子の中間出力、ひいては一致出力が完全に1あるいは0となり、このためCMOSインバータ414に過渡電流が流れることがなくなるものである。

第2図は本件出願の第2の発明の一実施例によるデータ伝送路を示し、図において、第1図と同一符号は同一のものを示す。420a～420c

図中の上方のデータ伝送路と下方のデータ伝送路にデータが到着し、合流後の2段目の並列データバッファ336が空きの時、その1段前のC素子325の3入力X、Y、Zがすべて1となって線路上にあった各4ビットのデータがマージされて8ビットのデータとなるものである。なお図中331～334は4ビット並列データバッファ、335、336は8ビット並列データバッファ、321～324、326は2入力C素子である。

また第2図の実施例では各ラッチを2つのインバータと1つのMOSトランジスタを用いて構成したが、このMOSトランジスタの代わりに両チャネルトランスマッパーを用いてもよく、上記実施例と同様の効果を奏する。

また第2図の実施例では並列データバッファがストレイキャパシタCSだけでデータを保持するダイナミックラッチの場合を示したが、第5図に示すようなエッジトリガタイプのラッチ430、あるいは第6図に示すようなトランスペアレントラッチ440を用いるようにしてもよく、上記実

はそれぞれ並列データバッファ（データラッチ）を構成する1ビット分のラッチ、405～407はロチャネルMOSトランジスタ、408～413はインバータである。

次に作用効果について説明する。

本実施例では、上述のように構成された一致素子を転送制御回路として用いたので、ノイズに強く、従って並列データバッファのデータが消失するようなことはなく、また転送制御回路のCMOSインバータに過渡電流が流れないので、消費電力を一層低減することが可能である。

なお上記第1図の実施例では2入力のC素子について示したが、第3図の451、452のように、直列接続体400を構成するP、NチャネルMOSトランジスタを同数ずつ増やすことにより、3入力以上のC素子も容易に構成でき、上記実施例と同様の効果を奏する。このような多入力のC素子は例えば第4図に示すように応用することができる。

第4図は2つのデータ伝送路の合流部を示し、

施例と同様の効果を奏する。なお第5図中、425～429はインバータ、421～424はロチャネルMOSトランジスタであり、該MOSトランジスタの代わりに両チャネルトランスマッパーを用いてもよい。また第6図中445、446はイバータ、435及び436はP、NチャネルMOSトランジスタ431、432及び433、434からなる両チャネルトランスマッパーを示す。

〔発明の効果〕

以上のように、本発明の第1の発明に係る半導体装置によれば、直列接続体後段の第1のCMOSインバータより駆動能力の小さいトランジスタにより構成された第2のCMOSインバータにより一致出力を反転して直列接続体の中間出力に帰還するようにしたので、一致出力の中間出力がラッチされ該中間出力が完全に0あるいは1となり耐ノイズ性能が向上され、しかもCMOSインバータの過渡電流をなくすることができる。

また本発明の第2の発明に係るデータ伝送路に

特開昭61-294932(6)

よれば、以上のように構成された半導体装置をその転送制御回路として用いるようにしたので、並列データバッファのデータの消失をなくすことができ、しかも消費電力を一層低減できる効果がある。

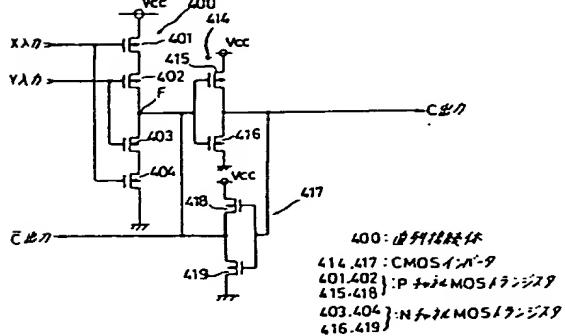
4. 図面の簡単な説明

第1図及び第2図は本件出願の第1、第2の発明の一実施例による半導体装置及びデータ伝送路を示す図、第3図は第1図の他の実施例を示す図、第4図は第3図の応用例を示す図、第5図及び第6図は第2図の他の実施例を示す図、第7図はデータ伝送路を示す図、第8図は本件出願人により既に開発されたC素子を示す図である。

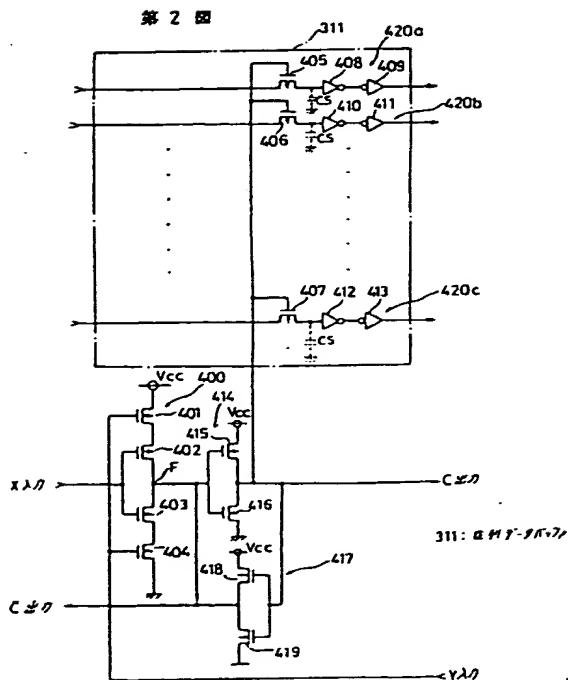
図において、400は直列接続体、414、417は第1、第2のCMOSインバータ、401、402、415、451はPチャネルMOSトランジスタ、403、404、416、419、452はNチャネルMOSトランジスタ、311～315は並列データバッファ(データ記憶手段)、420a～420c、430、440はラッチ、

代理人 早瀬章一

第1図

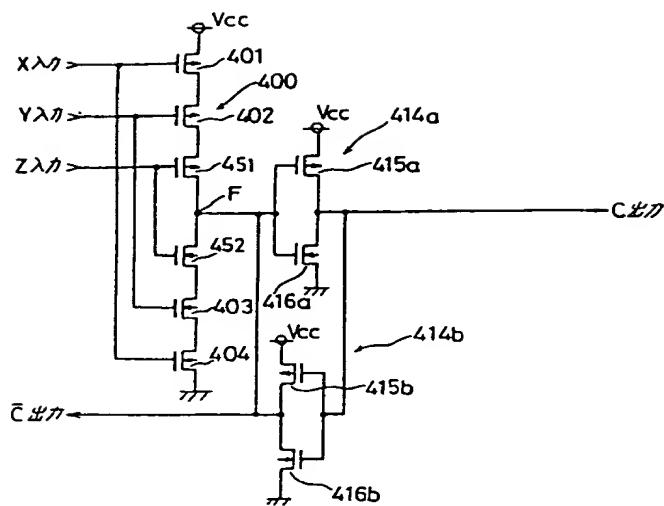


第2図

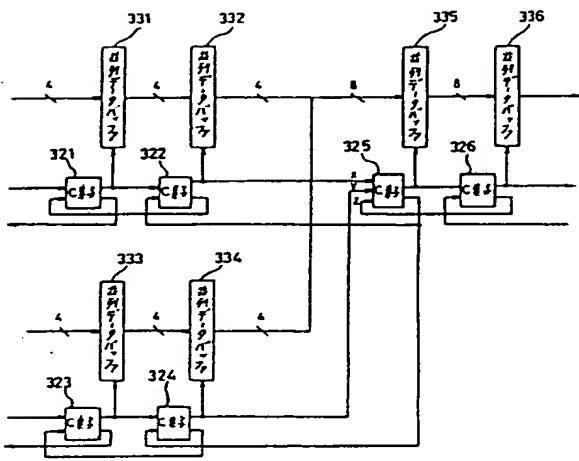


特開昭61-294932 (7)

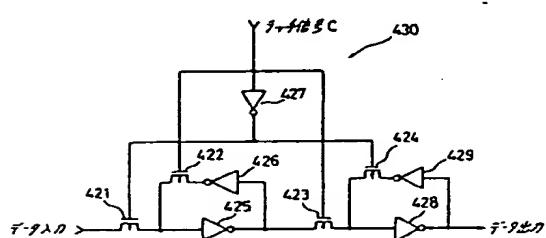
第3図



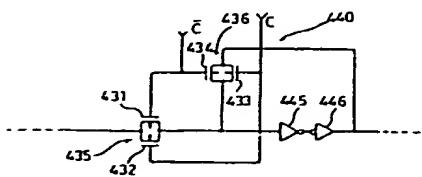
第4図



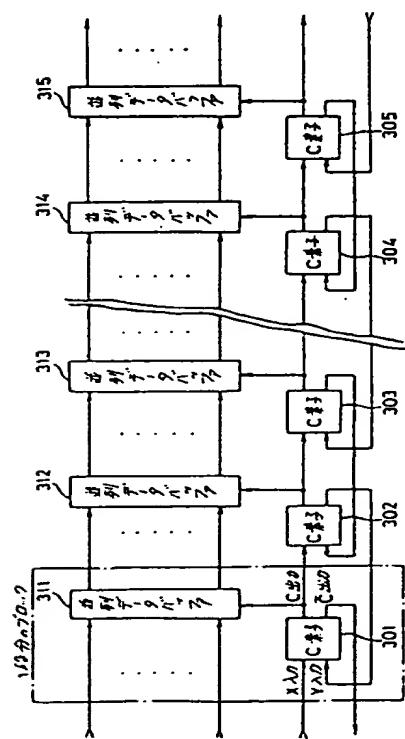
第5図



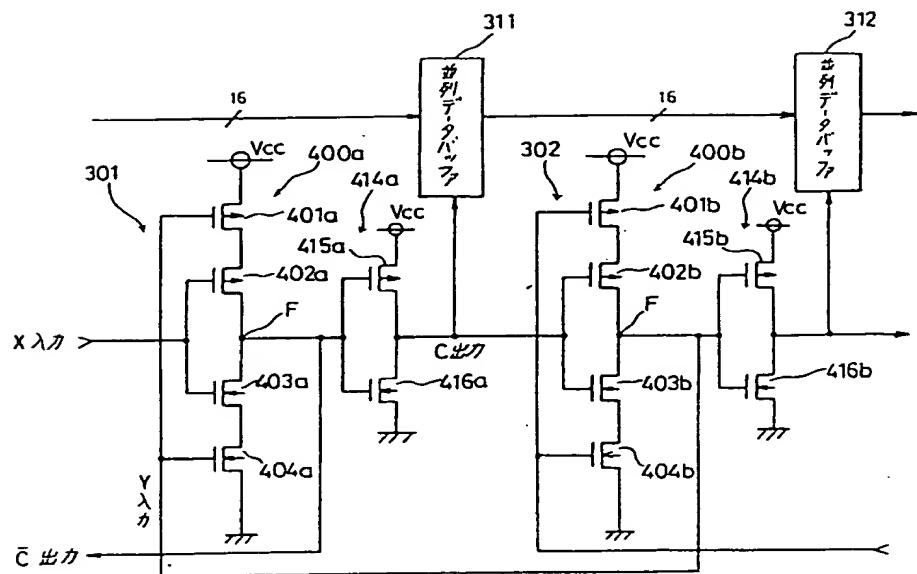
第6図



第7図



第8図



第1頁の続き

②発明者 嶋 慶 司 尼崎市塚口本町8丁目1番1号 三菱電機株式会社応用機器研究所内

②発明者 宮田 宗一 天理市樺本町2613-1 シャープ株式会社超LSI研究所内

②発明者 松本 敏 天理市樺本町2613-1 シャープ株式会社超LSI研究所内

②発明者 浅野 一 守口市八雲中町3丁目15 松下電器産業株式会社システム研究開発センター内

②発明者 清水 雅久 枚方市走谷1-18-13 三洋電機株式会社中央研究所内

②発明者 三浦 宏喜 枚方市走谷1-18-13 三洋電機株式会社中央研究所内